



COPY OF PAPERS  
ORIGINALLY FILED

0450

P6495a

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventors: Yoshiaki Mori, et al.

Group Art Unit: Not Yet Assigned

Serial No.: 10/026,286

Examiner: Not Yet Assigned

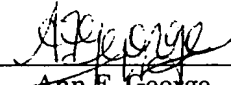
Filed: December 20, 2001

Title: PATTERN FORMING METHOD AND APPARATUS USED FOR  
SEMICONDUCTOR DEVICE, ELECTRIC CIRCUIT, DISPLAY MODULE, AND  
LIGHT EMITTING DEVICE

CERTIFICATE OF MAILING

I hereby certify that this correspondence and the documents referred to as attached herein are being deposited with the United States Postal Service on this date in an envelope as "First Class Mail" service addressed to the Assistant Commissioner for Patents, Washington, DC 20231.

Date: January 14 2002

  
Ann F. George

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents  
Washington, D.C. 20231

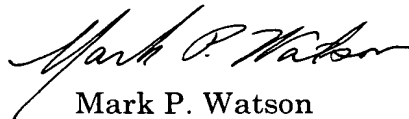
Sir:

Enclosed is the certified copy of the Japanese patent application listed below. The claim of priority under 35 USC §119 in the above-identified application is based on this Japanese patent application.

Japanese Patent Applications

<u>Number</u>	<u>Date Filed</u>
2000-390166	December 22, 2000

Respectfully submitted,



Mark P. Watson  
Attorney for Applicants  
Registration No. 31,448

Please address all correspondence to:  
Epson Research and Development, Inc.  
Intellectual Property Department  
150 River Oaks Parkway, Suite 225  
San Jose, CA 95134  
Customer No. 20178  
Phone: (408) 952-6000  
Fax: (408) 954-9058

Date: January 14, 2002



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月22日

出 願 番 号

Application Number:

特願2000-390166

COPY OF PAPERS  
ORIGINALLY FILED

出 願 人

Applicant(s):

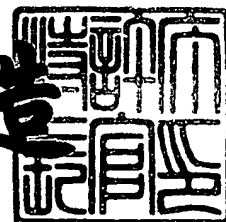
セイコーエプソン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年10月26日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3094491

【書類名】 特許願

【整理番号】 P1914EP

【提出日】 平成12年12月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/02  
G03F 1/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 佐藤 充

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 森 義明

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100091306

【弁理士】

【氏名又は名称】 村上 友一

【選任した代理人】

【識別番号】 100086922

【弁理士】

【氏名又は名称】 大久保 操

【手数料の表示】

【予納台帳番号】 002196

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン形成方法およびこの方法により製造された半導体装置

【特許請求の範囲】

【請求項 1】 ワークの表面に有機膜を設ける工程と、前記有機膜に所定パターンの凹部を形成する工程と、前記凹部を無機材料によって埋める工程と、前記凹部の内部以外の前記無機材料を除去する工程と、前記有機膜を除去して無機材料からなるパターンを残す工程とを有することを特徴とするパターン形成方法。

【請求項 2】 前記無機材料による凹部を埋める工程は、前記無機材料を含む溶液を塗布して行うことを特徴とする請求項 1 に記載のパターン形成方法。

【請求項 3】 前記無機材料は、液体または液体と気体の混合状態からなることを特徴とする請求項 2 に記載のパターン形成方法。

【請求項 4】 前記無機材料の塗布は、スピコートによって行われることを特徴とする請求項 2 または請求項 3 に記載のパターン形成方法。

【請求項 5】 前記無機材料の塗布は、吹き付けによって行われることを特徴とする請求項 2 または請求項 3 に記載のパターン形成方法。

【請求項 6】 前記凹部の内部以外の前記無機材料を除去する工程は、エッチング液の塗布にて行われることを特徴とする請求項 1 に記載のパターン形成方法。

【請求項 7】 前記エッチング液は、液体または液体と気体の混合状態からなることを特徴とする請求項 6 に記載のパターン形成方法。

【請求項 8】 前記エッチング液の塗布は、スピネッチによって行われることを特徴とする請求項 6 または請求項 7 に記載のパターン形成方法。

【請求項 9】 前記エッチング液の塗布は、吹き付けによって行われることを特徴とする請求項 6 または請求項 7 に記載のパターン形成方法。

【請求項 10】 前記凹部の内部以外の前記無機材料を除去する工程は、CMPにて行われることを特徴とする請求項 1 に記載のパターン形成方法。

【請求項 11】 前記有機膜を大気圧プラズマによって除去することを特徴

をする請求項 1 に記載のパターン形成方法。

【請求項 1 2】 請求項 1 乃至請求項 1 1 記載のパターン形成方法によって製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体デバイスや液晶デバイス、あるいはその他薄膜積層を有する素子デバイスの製造分野や、高密度実装分野に係り、特にデバイス類の製造の際に減圧環境を必要とせず大気圧の近傍で製造を行うことができるパターン形成方法およびこの方法により製造された半導体装置に関する。

【0002】

【従来の技術】

従来、半導体装置を製造する際には、ウェハ基板の表面に素子を形成した後、これら素子の上層側に配線パターンを形成するようにしている。

図 1 0 および図 1 1 は、従来のパターニング工程を示す工程図である。同図（1）に示すような半導体ウェハ 1 の表面に例えば配線を形成するためには、図示しない絶縁膜が形成された半導体ウェハ 1 の表面に同図（2）に示すようにプラズマ CVD を行い、配線層 2 をその上層に形成する。なお当該配線層 2 の形成はスパッタリングによって形成してもよい。

【0003】

このように半導体ウェハ 1 の上層に配線層 2 を形成した後は、当該配線層 2 の上層にフォトリソを塗布しレジスト膜を形成し、これを感光工程、フォトリソエッチング工程へと導入し、同図（3）に示すようにパターニングされたレジスト膜 3 を形成する。

【0004】

そして図 1 1 （1）に示すように、半導体ウェハ 1 をドライエッチング工程に導入し、レジスト膜 3 をマスクとして配線層 2 のエッチングを行う。この状態を同図（2）に示す。こうしてレジスト膜 3 の下層のみに配線層 2 を残した後は、溶剤によって前記配線層 2 の上層に位置するレジスト膜 3 の除去を行う。

このような工程を経れば、半導体ウェハ 1 の表面に配線を形成することができる。

【0005】

【発明が解決しようとする課題】

しかし上述した製造プロセスおよびこのプロセスにより製造された半導体装置では以下に示すような問題点があった。

すなわち従来の工程は、そのほとんどが真空状態（減圧環境）で行われていることから、これら製造工程では真空処理設備が不可欠である。そしてこれら真空処理設備では、その処理を行うにあたり周辺の排気や冷却水等の基礎設備関連を含めた消費エネルギーが莫大になっており、製造工程に必要なエネルギーの 6 割以上を占めてるという問題があった。

【0006】

また絶縁膜の形成等に使用される CVD 装置などでは、そのチャンバ内に付着した反応生成物をクリーニングするため、CHF<sub>3</sub>やCF<sub>4</sub>といった温暖化係数の高い PFC をガスを使用する必要があった。そしてこれら PFC ガスは、エッチングにも使用され、この使用量が膨大になれば、環境問題に発展するおそれがあった。すなわち PFC ガスはクリーニング、エッチングという別々の目的で使用されており、その目的は異なるものの除去するということでは一致している。

【0007】

なお消費エネルギーの増加は、真空処理設備の次の構成要素が要因であると考えられる。大気圧の環境から真空状態にワークを搬送させるためのチャンバーロードロックや、処理室を真空にするための複数のドライポンプやターボポンプ。またスリーブットを向上させるためのチャンバの複数化によって生じるフットプリントの増大、それに伴うクリーンルーム面積の増大。またそれを維持する基礎設備の増加等が挙げられる。

【0008】

本発明は、上記従来の問題点に着目し、パターンニングを行う際の製造設備のエネルギー低減を行うことができるとともに、PFC ガスフリーを達成することのできるパターン形成方法および半導体装置を提供することを目的とする。

## 【0009】

## 【課題を解決するための手段】

本発明は、従来のマスク下の下地をエッチングで除去するという手法から、マスクパターンによって形成された溝や穴からなる凹部を埋めるといった手法に転換すれば、埋め込む部材を液相状態で簡単に塗布することができ、大気圧下で処理することができるという知見に基づいたものである。

## 【0010】

すなわち請求項1に係るパターン形成方法は、ワークの表面に有機膜を設ける工程と、前記有機膜に所定パターンの凹部を形成する工程と、前記凹部を無機材料によって埋める工程と、前記凹部の内部以外の前記無機材料を除去する工程と、前記有機膜を除去して無機材料からなるパターンを残す工程とを有することを特徴としている。請求項1に記載のパターン形成方法によれば、上述した各工程が、全て大気圧または大気圧近傍の環境でおこなうことができる。このため真空設備を設ける必要がなく、当該設備を稼働させるためのエネルギーを削減することが可能になる。さらにワーク表面に形成されたものを除去するという工程から凹部につける／埋めるといった工程に転換したことから、従来の除去に用いられていたPFCガスの使用を無くすることができる。

## 【0011】

また請求項2に係るパターン形成方法は、前記無機材料による凹部を埋める工程は、前記無機材料を含む溶液を塗布して行うことを特徴としている。請求項2に記載のパターン形成方法によれば、前記無機材料は流動性を有することから凹部にも確実に進入し、有機膜を確実に覆うことが可能になる。

## 【0012】

請求項3に係るパターン形成方法は、前記無機材料は、液体または液体と気体の混合状態からなることを特徴としている。請求項3に記載のパターン形成方法によれば、大気圧にてワークに対し容易に塗布をおこなうことができる。また気液混合の形態とすれば、添加ガス等により形成する膜の組成の改質等を自在におこなうことが可能になる。

## 【0013】



そして請求項4に記載のパターン形成方法は、前記無機材料の塗布は、スピコートによって行われることを特徴としている。請求項4に記載のパターン形成方法によれば、遠心力にてワークの表面に均一に無機材料を塗布することができ、さらに凹部にも前記無機材料を確実に行き渡らせることが可能になる。

## 【0014】

請求項5に記載のパターン形成方法は、前記無機材料の塗布は、吹き付けによって行われることを特徴としている。請求項5に記載のパターン形成方法によれば、任意の圧力で無機材料を有機膜の上層に吹き付けることから、凹部にも前記圧力によって無機材料を確実に充填させることができる。

## 【0015】

請求項6に記載のパターン形成方法は、前記凹部の内部以外の前記無機材料を除去する工程は、エッチング液の塗布にて行われることを特徴としている。請求項6に記載のパターン形成方法によれば、エッチング液は、流動性を有することから無機材料全面に容易に広がらせることができ、前記無機材料の全面でエッチングを確実に行わせることができる。

## 【0016】

請求項7に記載のパターン形成方法は、前記エッチング液は、液体または液体と気体の混合状態からなることを特徴としている。請求項7に記載のパターン形成方法によれば、大気圧にてワークに対し容易に塗布をおこなうことができる。また気液混合の形態とすれば、添加ガス等により形成する膜の組成の改質等を自在におこなうことが可能になる。

## 【0017】

請求項8に記載のパターン形成方法は、前記エッチング液の塗布は、スピネッチによって行われることを特徴としている。請求項8に記載のパターン形成方法によれば、遠心力にてワークの表面に均一にエッチング液を塗布することが可能になり、エッチング速度の均一化を図ることができる。

## 【0018】

請求項9に記載のパターン形成方法は、前記エッチング液の塗布は、吹き付けによって行われることを特徴としている。請求項9に記載のパターン形成方法に

よれば、任意の圧力でエッチング液を無機材料の上層に吹き付けることから、前記無機材料の全面にたいしてエッチング液を確実に塗布させることができ、エッチング工程を確実に行わせることができる。

【 0 0 1 9 】

請求項 1 0 に記載のパターン形成方法は、前記凹部の内部以外の前記無機材料を除去する工程は、CMPにて行われることを特徴としている。請求項 1 0 に記載のパターン形成方法によれば、均一に無機材料の除去が行えるとともに、真空設備を設けることなく、大気圧のもとで有機膜を除去することができるので、前記真空設備を稼働させるだけのエネルギーの削減を達成することが可能になる。

【 0 0 2 0 】

請求項 1 1 に記載のパターン形成方法は、前記有機膜を大気圧プラズマによって除去することを特徴としている。請求項 1 1 に記載のパターン形成方法によれば、真空設備を設けることなく、大気圧のもとで有機膜を除去することができるので、前記真空設備を稼働させるだけのエネルギーの削減を達成することができる。

【 0 0 2 1 】

請求項 1 2 に記載の半導体装置は、上記のパターン形成方法によって製造されたことを特徴としている。請求項 1 2 に記載の半導体装置によれば、上述の効果を有する半導体装置を供給することができる。

【 0 0 2 2 】

【発明の実施の形態】

以下に本実施の形態に係るパターン形成方法に好適な具体的実施の形態を図面を参照して詳細に説明する。

図 1 および図 2 は、本実施の形態に係るパターン形成方法を半導体ウェハに適用した場合の製造工程説明図である。

【 0 0 2 3 】

本実施の形態に係るパターン形成方法をワークとなる半導体ウェハに適用すると、まず図 1 ( 1 ) に示すような半導体ウェハ 1 0 の表面 1 2 に、例えば配線 1 4 ( 図 2 を参照 ) するためには、同図 ( 2 ) に示すように、まず有機材となるフ

フォトレジストを表面12に塗布し、有機膜となるフォトレジスト膜16を形成する。そしてフォトレジスト膜16を形成した後は、その上方より図示しないマスクを介して、前記フォトレジスト膜16の表面に配線14のパターンを感光させ（露光工程）、その後、現像を行い、フォトレジスト膜16の表面に凹部となる溝18を形成する。なお当該溝18の幅は、配線14と同様の幅に設定されている。

#### 【0024】

こうしてフォトレジスト膜16に表面12が露出するよう溝18を形成した後は、同図（3）に示すように、溝18を埋めるとともに、フォトレジスト膜16の上方に液状の無機導電材料を塗布し、これを固まらせることで無機導電膜20を形成する。なおフォトレジスト膜16を覆うように無機導電材料を塗布するには、スピコート法を用いるのが望ましい。すなわち半導体ウェハ10を回転させ、この回転中の半導体ウェハ10の回転中央部に無機導電材料をたらしせば、当該無機導電材料は、遠心力によって半導体ウェハ10の外方へと広がり、表面上に均一な無機導電膜20を形成することができる。

#### 【0025】

そして無機導電膜20をフォトレジスト膜16の上層に形成した後は、図2（1）に示すように、大気圧のもとでエッチング液または気液混合状態にあるエッチング液を塗布し、無機導電膜20のエッチングを行うようにすればよい。そして無機導電膜20のエッチングには、スピネッチングを用いることが望ましく、これを用いるようにすれば、エッチング液を均一に無機導電膜20の表面に塗布することが可能になり、無機導電膜20のエッチングの進行を均一にすることができるのである。なおエッチングは時間管理によって行うようにしており、無機導電膜20が溝18だけに残るまで、すなわち無機導電膜20がフォトレジスト膜16の表面から除去されるまで行われる。なお本実施の形態では、この無機導電膜20の除去をスピネッチングによって行うこととしたが、この形態に限定されることもなく、他の方法、例えばCMPなどによって行うようにしてもよい。そして無機導電膜20の除去をCMPによって行うようにしても、スピネッチングと同様、大気中での除去ができるとともに、CMPでは溝18に入り込

んだ無機導電膜 2 0 の天井部分を平坦にすることが可能になる。

【 0 0 2 6 】

このように無機導電膜 2 0 が溝 1 8 だけに残るまでエッチングを行った後は、図示しない大気圧プラズマ装置に半導体ウェハ 1 0 を導入し、当該半導体ウェハ 1 0 の表面 1 2 に形成されるフォトリジスト膜 1 6 を除去すればよい。こうしてフォトリジスト膜 1 6 の除去を行うと、半導体ウェハ 1 0 の表面 1 2 に無機導電膜 2 0 からなる配線 1 4 を形成することができる。また従来の製造工程の様にドライエッチングやチャンバ内のクリーニングが必要ないことから、温暖化係数の高い P F C ガスを使わずとも製造を行うことが可能になる。

【 0 0 2 7 】

発明者は、半導体素子における素子間分離の方法や、F E T のゲート電極の形成工程や、配線層間のコンタクト形成工程等に本実施の形態に係るパターン形成方法を適用した例を考案した。以下に実施例として上述した 3 つの例の手順を説明する。なお上述したパターン形成方法と共通する箇所については、その説明を省略する。

【 0 0 2 8 】

《実施例 1》

図 3 と図 4 は、本実施の形態に係るパターン形成方法を半導体素子における素子間分離の方法に適用した場合の製造工程説明図である。

半導体ウェハにおいては、半導体素子が形成されている素子領域 2 4 A、2 4 B、2 4 C の間に絶縁パターンを形成し素子間分離をなし、これら素子領域 2 4 A、2 4 B、2 4 C の間に短絡等が生じるのを防止する必要がある。そして素子間分離用となる絶縁パターン 2 6 を形成するには、まず図 3 ( 1 ) に示すように、基板表面 2 5 にフォトリジストを塗布し、フォトリジスト膜 2 7 を形成した後、絶縁パターン 2 6 の形成用となるマスクを介して露光、現像、エッチングとを行い、素子領域 2 4 A、2 4 B、2 4 C の間に基板表面 2 5 が露出する溝 2 8 を形成する。

【 0 0 2 9 】

そして当該溝 2 8 が形成された半導体ウェハをスピコート工程に導入し、そ

の表面に溝 2 8 を埋めるよう液状からなる絶縁材料の塗布を行い、絶縁層 3 0 を形成する。この状態を同図 (2) に示す。こうして絶縁層 3 0 を形成した後は、同図 (3) に示すようにスピネッチング工程によってフォトレジスト膜 2 7 が露出するまでエッチングを行い、その後、図 4 (1) に示すように大気圧プラズマ装置によって前記フォトレジスト膜 2 7 の除去を行う。

#### 【0030】

こうしてフォトレジスト膜 2 7 の除去を行った後は、スピコート工程に半導体ウェハを導入し、絶縁層 3 0 からなる絶縁パターン 2 6 の上層にシリコン層 3 2 を形成する。そしてシリコン層 3 2 を形成した後は、再びスピネッチング工程に半導体ウェハを導入し、その最上層の表面に絶縁パターン 2 6 が露出するまでシリコン層 3 2 をエッチングする。

#### 【0031】

#### 《実施例 2》

図 5 と図 6 は、本実施の形態に係るパターン形成方法を F E T のゲート電極の形成工程に適用した場合の製造工程説明図である。

図 5 (1) に示すように、半導体ウェハ 3 4 の表面には、シリコン酸化膜が形成されているとともに、M O S - F E T を構成するソース電極とドレイン電極とが形成されている（ともに図示せず）。そしてこれらソース電極とドレイン電極との間にゲート電極 4 0 を形成するには、同図 (2) に示すように、基板表面 4 2 にフォトレジストを塗布し、フォトレジスト膜 4 4 を形成した後、ゲート電極 4 0 の形成用となるマスクを介して露光、現像、エッチングとを行い、基板表面 4 2 が露出する溝 4 6 を形成する。なお当該溝 4 6 の幅はゲート電極 4 0 の幅と同一となっている。

#### 【0032】

そして当該溝 4 6 が形成された半導体ウェハ 3 4 をスピコート工程に導入し、その表面に溝 4 6 を埋めるよう液状からなる無機導電材料の塗布を行い、無機導電膜 4 8 を形成する。この状態を同図 (3) に示す。

#### 【0033】

こうして無機導電膜 4 8 を形成した後は、図 6 (1) に示すようにスピネッ

チング工程によってフォトリジスト膜 4 4 が露出するまでエッチングを行い、その後、同図 (2) に示すように大気圧プラズマ装置によって前記フォトリジスト膜 4 4 の除去を行えば、基板表面 4 2 に形成された酸化膜 ( $\text{SiO}_2$ ) の表面にゲート電極 4 0 を形成することができる。

## 【 0 0 3 4 】

## 《実施例 3》

図 7、図 8、図 9 は、本実施の形態に係るパターン形成方法を配線層間のコンタクト形成工程に適用した場合の製造工程説明図である。

図 7 (1) に示すように半導体ウェハ 5 0 には、素子間分離をなす一对の絶縁パターン 5 2 が設けられており、これら絶縁パターン 5 2 にて素子間分離をなすようにしている。またこれら絶縁パターン 5 2 のほぼ中央部には MOS-FET を構成するゲート電極 5 4 が設けられている。そしてこの MOS-FET の上側に配線パターンを形成し、前記 MOS-FET を構成するソース電極 (図示せず)、ドレイン電極 (図示せず)、ゲート電極 5 4 との接続を図るには、まず絶縁パターン 5 2、およびゲート電極 5 4 を覆うようにフォトリジストを塗布し、フォトリジスト膜 5 8 を形成する。そして当該フォトリジスト膜 5 8 を形成した後、コンタクトホール 6 0 の形成用となるマスクを介して露光、現像、エッチングとを行い、素子表面が露出するコンタクトホール 6 0 を形成する。

## 【 0 0 3 5 】

そしてコンタクトホール 6 0 の形成後は、同図 (2) に示すように、タングステンを堆積させ、コンタクトホール 6 0 内にタングステン 6 2 を充填させる。そして同図 (3) に示すように、フォトリジスト膜 5 8 の表面に形成されたタングステン 6 2 をスピネッチングまたは CMP によって除去した後は、他のエッチング液を用いたスピネッチングあるいは大気圧プラズマによってフォトリジスト膜 5 8 を除去し、素子領域 5 6 の表面から、コンタクトホール 6 0 内に充填されたタングステン 6 2 が突出した形態にする。この状態を図 8 (1) に示す。

## 【 0 0 3 6 】

このようにタングステン 6 2 を素子領域 5 6 から突出させた後は、液状からなる絶縁材料の塗布を行い、絶縁層 6 4 を形成するとともに、同図 (2) に示すよ

うにスピネッチング工程によってタングステン 6 2 がその表面に露出するまでエッチングを行う。

【 0 0 3 7 】

そしてタングステン 6 2 が露出するまでエッチングを行った後は、再びフォトレジストを表面に塗布し、フォトレジスト膜 6 6 を形成する。そして当該フォトレジスト膜 6 6 を形成した後、アルミ配線 7 4 の形成用となるマスクを介して露光、現像、エッチングとを行い、同図 ( 3 ) に示すように絶縁膜 6 4 が露出する溝 7 0 を形成する。

【 0 0 3 8 】

このように溝 7 0 を形成した後は、図 9 ( 1 ) に示すように前記溝 7 0 を埋めるようアルミ層 7 2 を形成し、その後は、当該アルミ層 7 2 が溝 7 0 に残るまでエッチングを行うとともに、大気圧プラズマ工程によってフォトレジスト膜 6 6 を除去すれば、同図 ( 2 ) に示すように絶縁膜 6 4 の表層にアルミ配線 7 4 を形成することができる。

【 0 0 3 9 】

【発明の効果】

以上説明したように、本発明に係るパターン形成方法によれば、ワークの表面に有機膜を設ける工程と、前記有機膜に所定パターンの凹部を形成する工程と、前記凹部を無機材料によって埋める工程と、前記凹部の内部以外の前記無機材料を除去する工程と、前記有機膜を除去して無機材料からなるパターンを残す工程とを有することから、パターンニングを行う際の製造設備のエネルギー低減を行うことができるとともに、PFCガスフリーを達成することが可能になる。

【図面の簡単な説明】

【図 1】

本実施の形態に係るパターン形成方法を半導体ウェハに適用した場合の製造工程説明図である。

【図 2】

本実施の形態に係るパターン形成方法を半導体ウェハに適用した場合の製造工程説明図である。

【図 3】

本実施の形態に係るパターン形成方法を半導体素子における素子間分離の方法に適用した場合の製造工程説明図である。

【図 4】

本実施の形態に係るパターン形成方法を半導体素子における素子間分離の方法に適用した場合の製造工程説明図である。

【図 5】

本実施の形態に係るパターン形成方法を F E T のゲート電極の形成工程に適用した場合の製造工程説明図である。

【図 6】

本実施の形態に係るパターン形成方法を F E T のゲート電極の形成工程に適用した場合の製造工程説明図である。

【図 7】

本実施の形態に係るパターン形成方法を配線層間のコンタクト形成工程に適用した場合の製造工程説明図である。

【図 8】

本実施の形態に係るパターン形成方法を配線層間のコンタクト形成工程に適用した場合の製造工程説明図である。

【図 9】

本実施の形態に係るパターン形成方法を配線層間のコンタクト形成工程に適用した場合の製造工程説明図である。

【図 1 0】

従来のパターニング工程を示す工程図である。

【図 1 1】

従来のパターニング工程を示す工程図である。

【符号の説明】

- 1 ……半導体ウェハ、 2 ……配線層、 3 ……レジスト膜、  
1 0 ……半導体ウェハ、 1 2 ……表面、 1 4 ……配線、  
1 6 ……フォトリジスト膜、 1 8 ……溝、 2 0 ……無機導電膜、

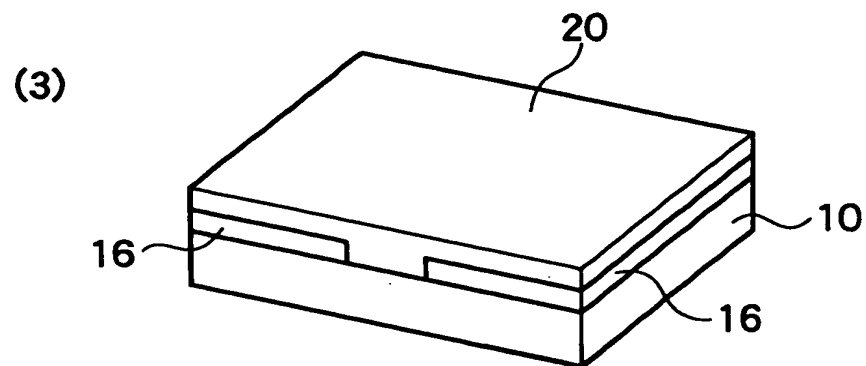
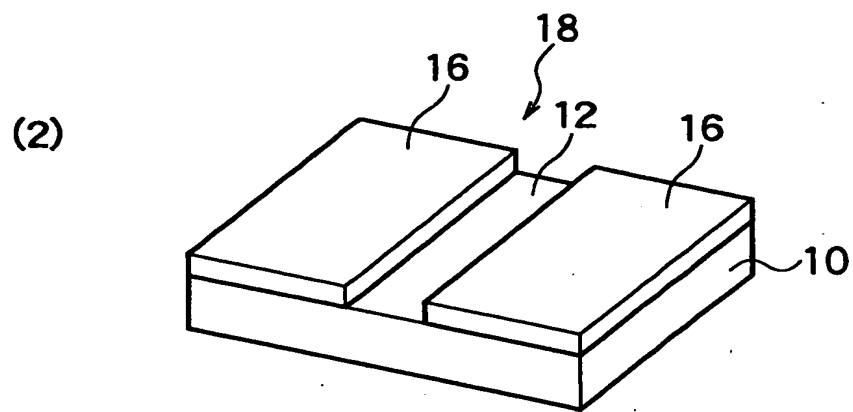
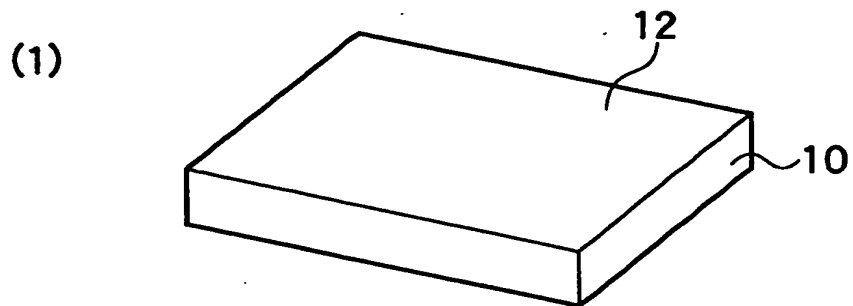


2 4 ( 2 4 A、 2 4 B、 2 4 C ) ……素子領域、 2 5 ……基板表面、  
2 6 ……絶縁パターン、 2 7 ……フォトレジスト膜、 2 8 ……溝、  
3 0 ……絶縁層、 3 2 ……シリコン層、 3 4 ……半導体ウェハ、  
4 0 ……ゲート電極、 4 2 ……基板表面、 4 4 ……フォトレジスト膜、  
4 6 ……溝、 4 8 ……無機導電膜、 5 0 ……半導体ウェハ、  
5 2 ……絶縁パターン、 5 4 ……ゲート電極、  
5 8 ……フォトレジスト膜、 6 0 ……コンタクトホール、  
6 2 ……タンゲステン、 6 4 ……絶縁層、 6 6 ……フォトレジスト膜、  
7 0 ……溝、 7 2 ……アルミ層、 7 4 ……アルミ配線

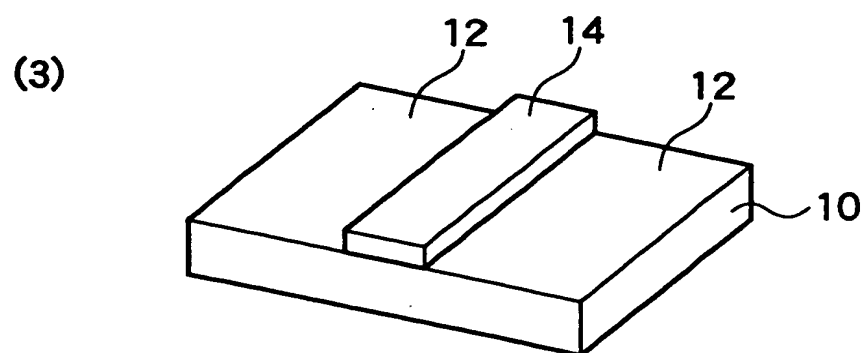
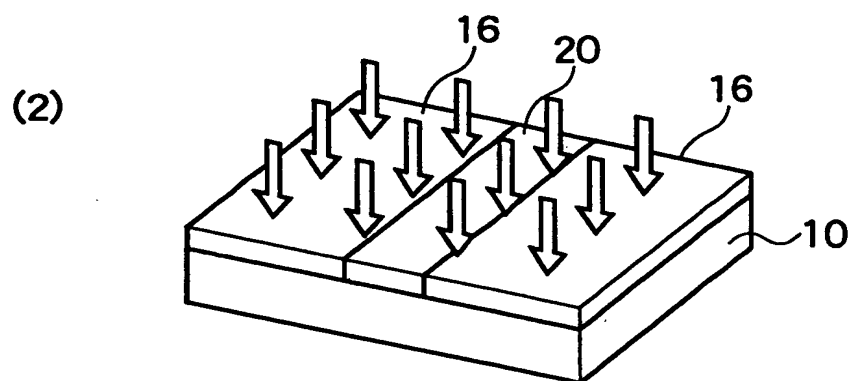
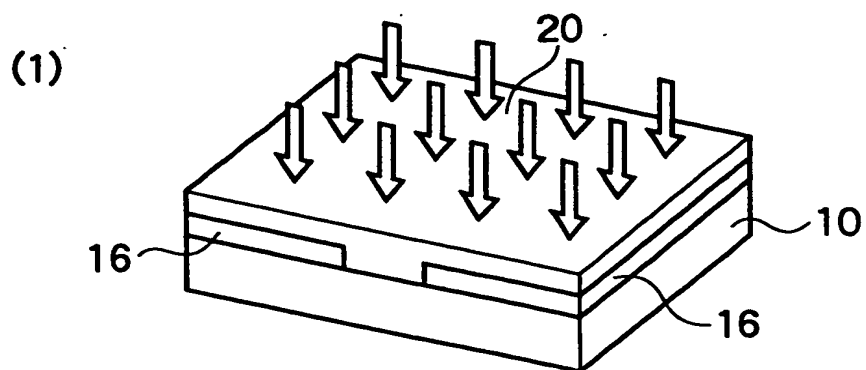
【書類名】

図面

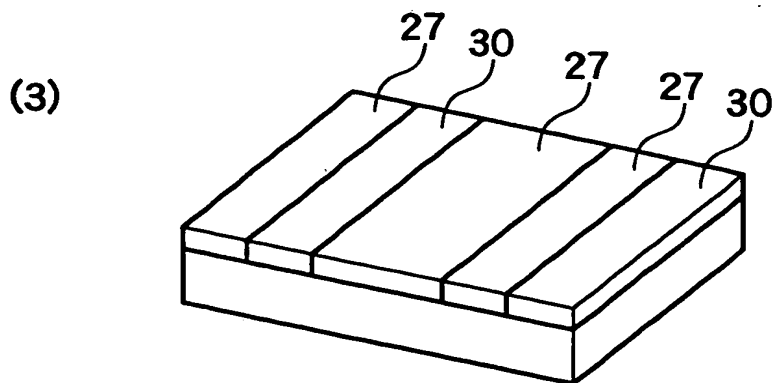
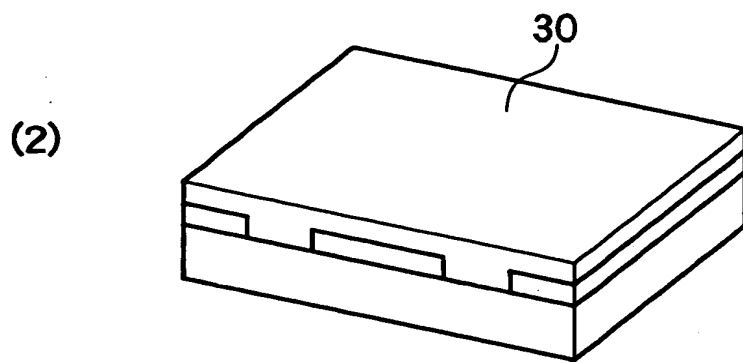
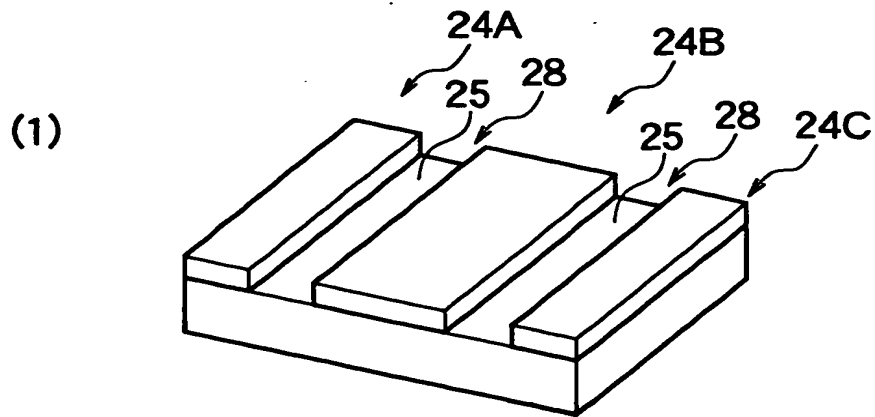
【図 1】



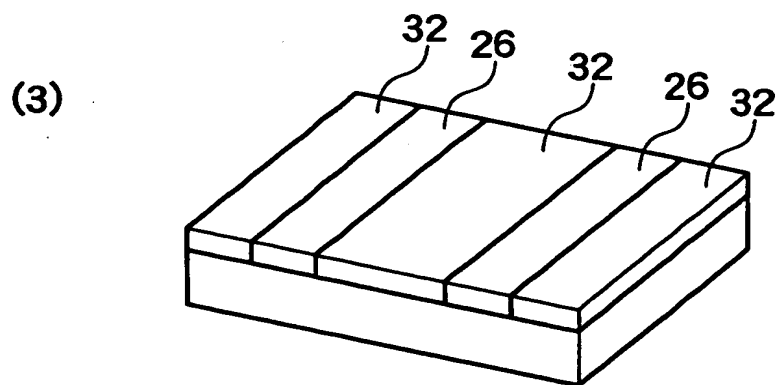
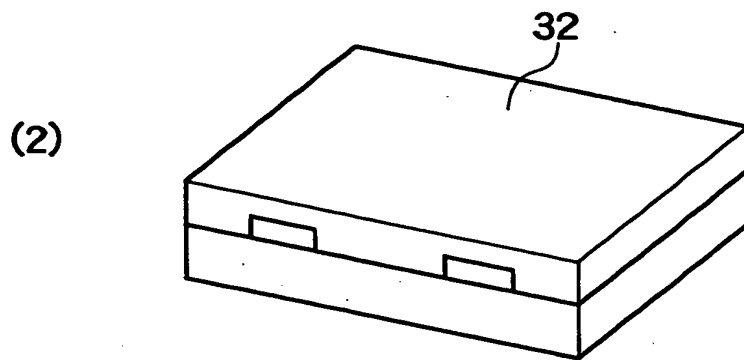
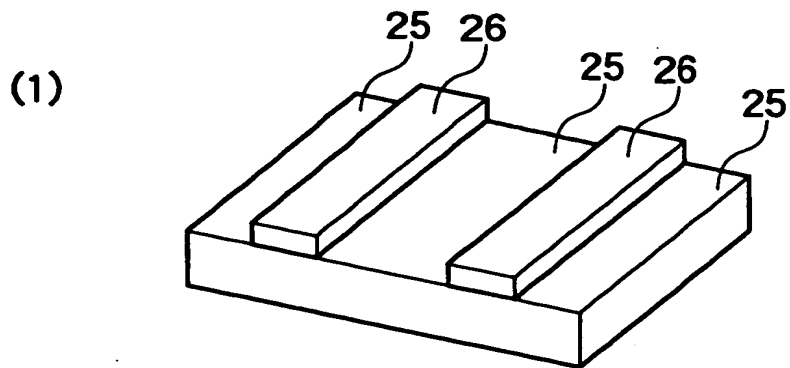
【図 2】



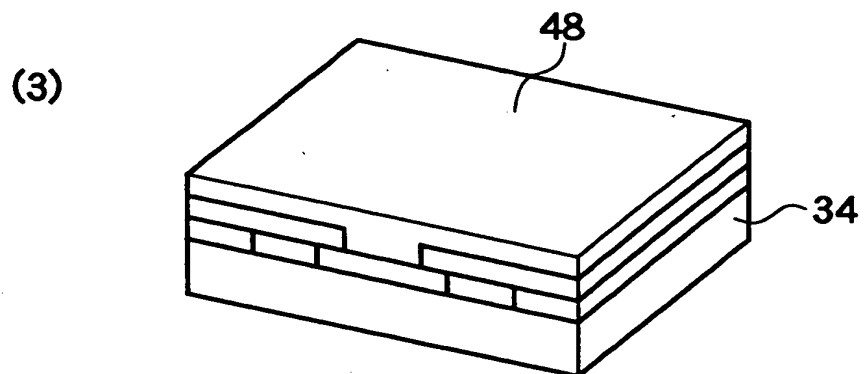
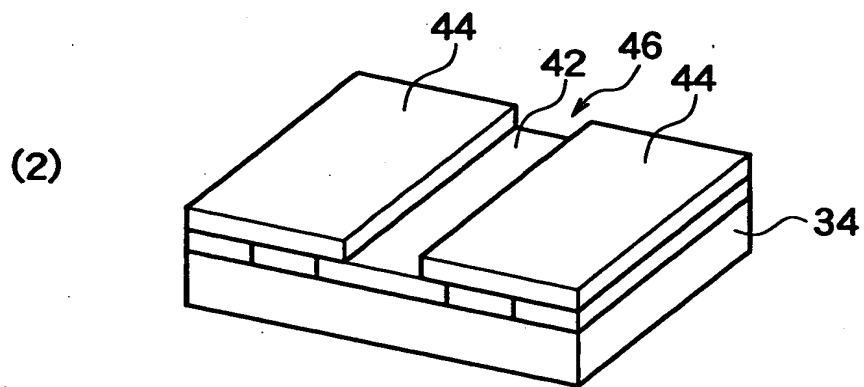
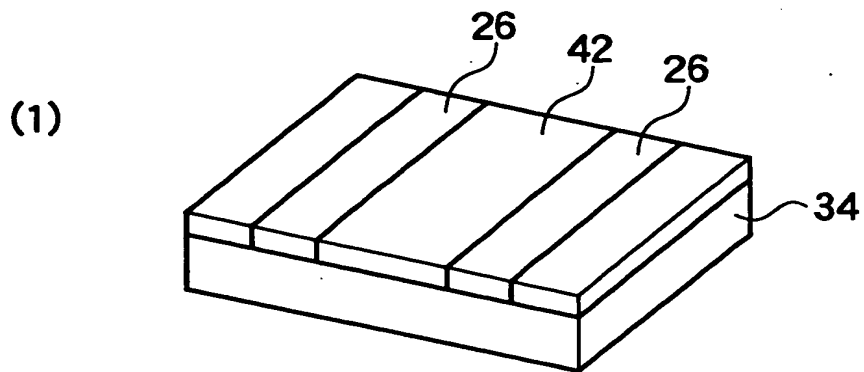
【図 3】



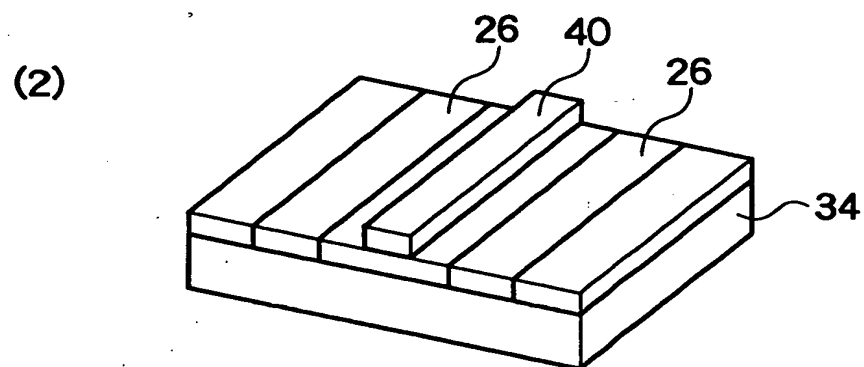
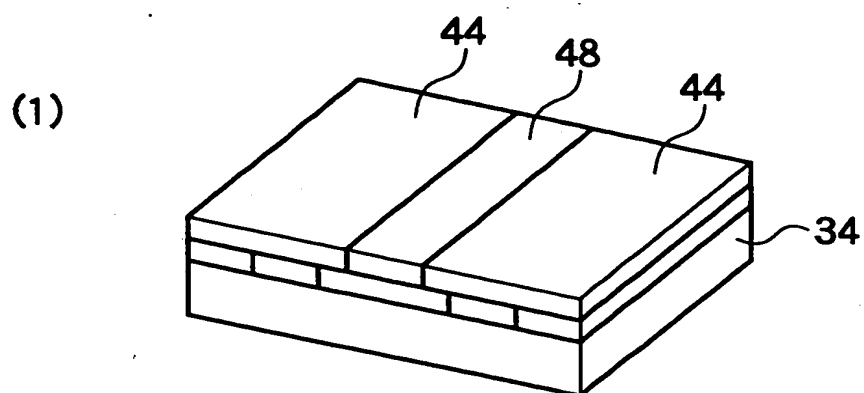
【図 4】



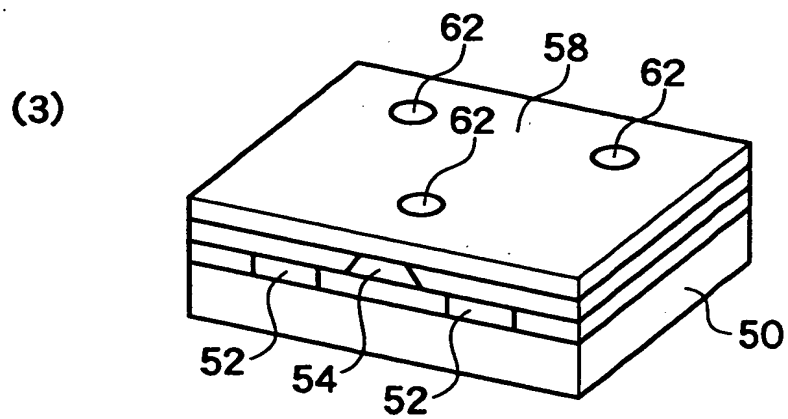
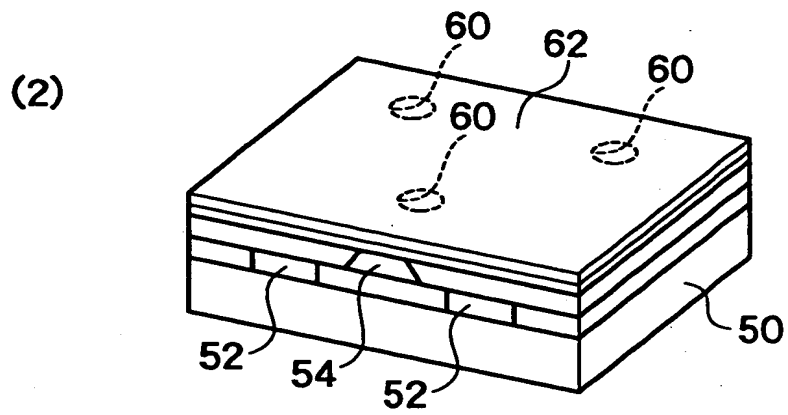
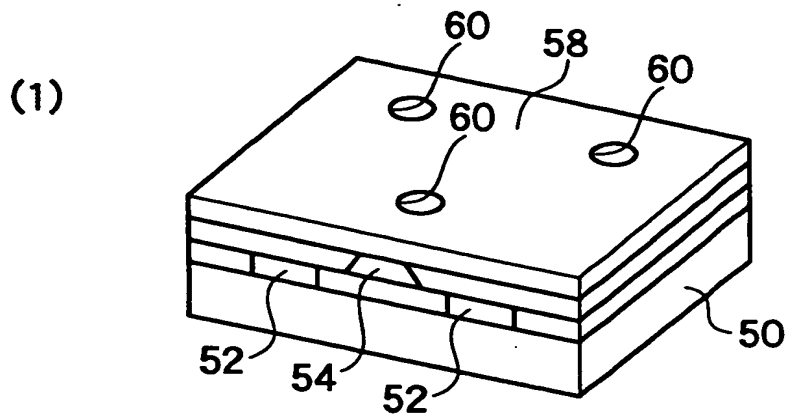
【図 5】



【図 6】

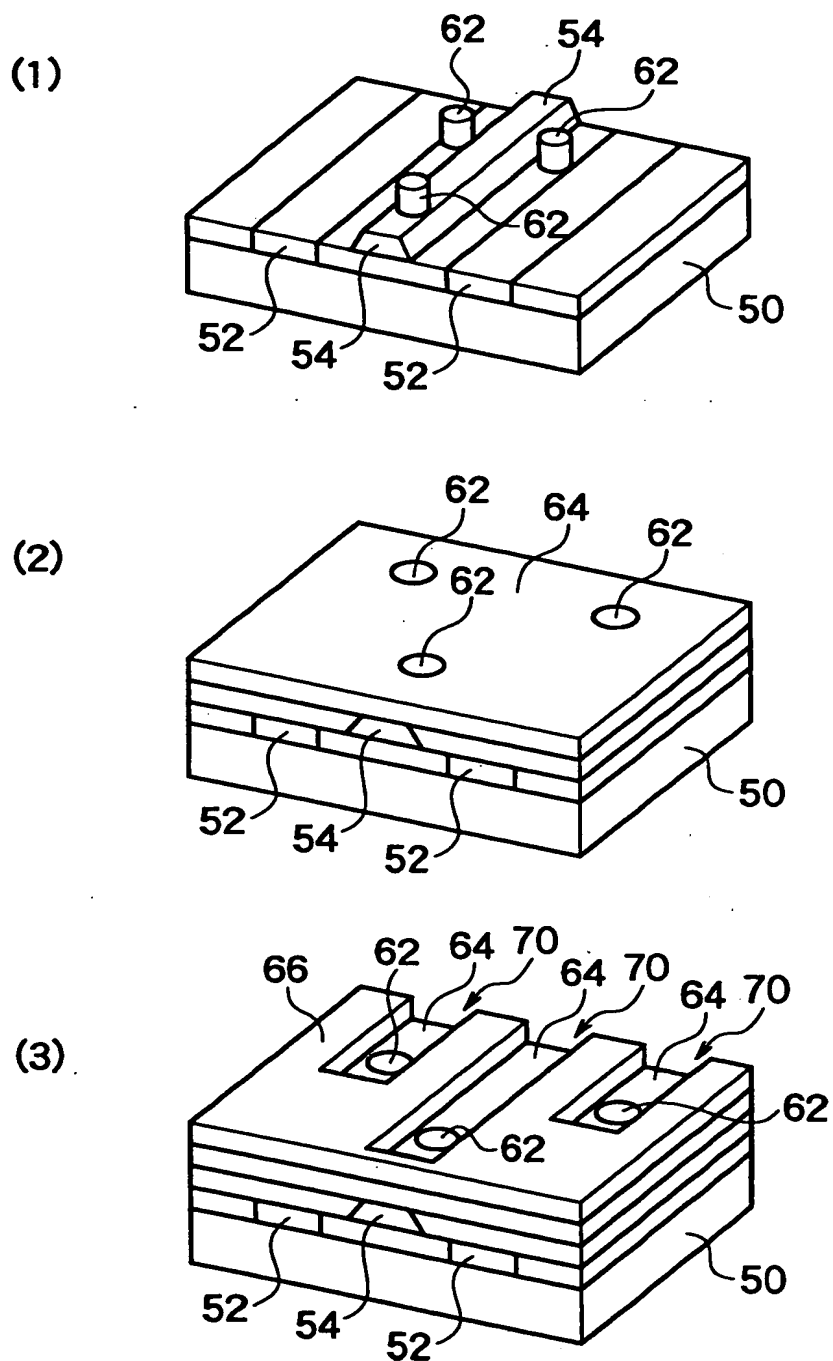


【図 7】



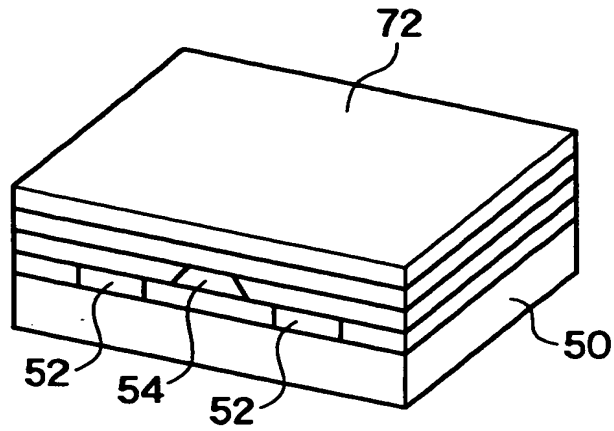


【図 8】

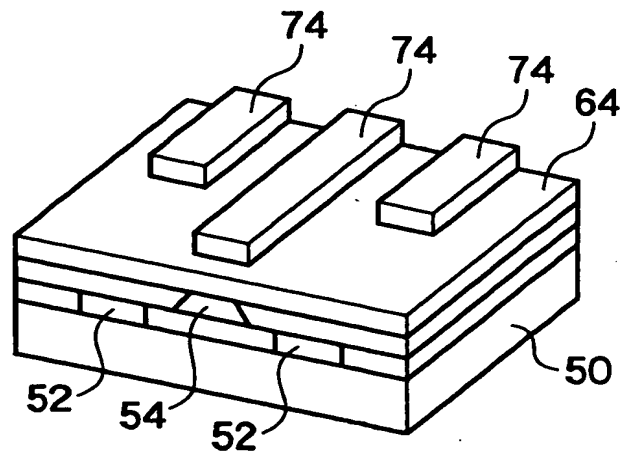


【図 9】

(1)

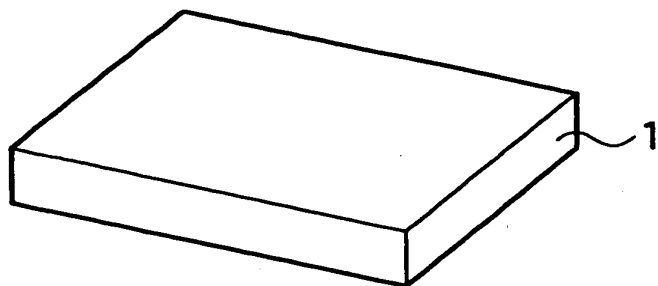


(2)

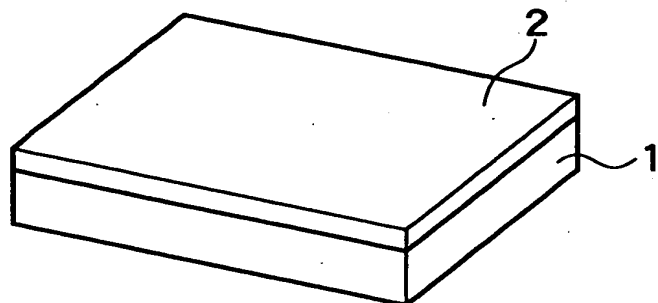


【図10】

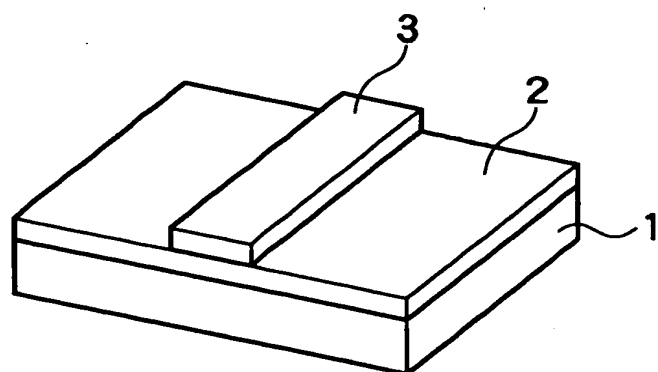
(1)



(2)

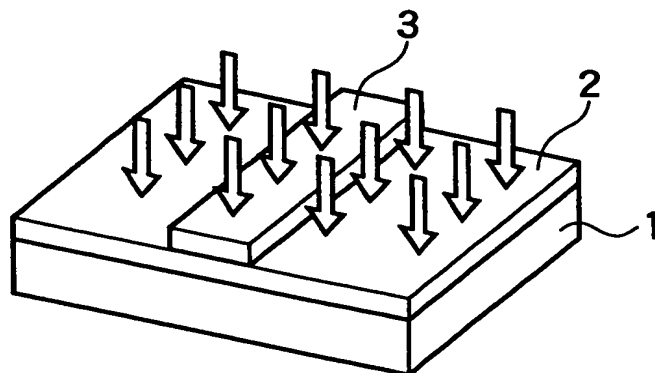


(3)

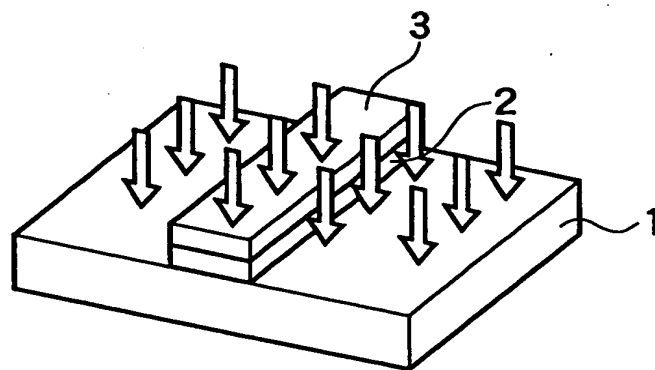


【図 1 1】

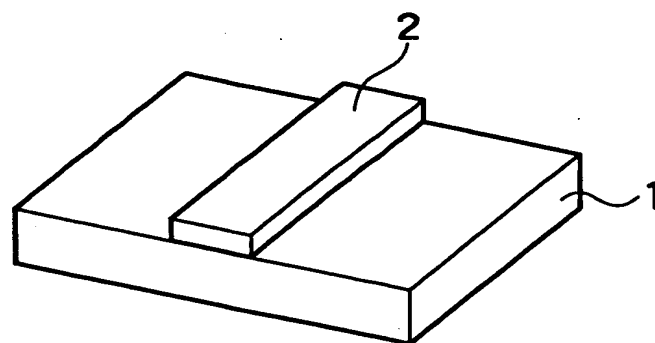
(1)



(2)



(3)



【書類名】 要約書

【要約】

【課題】 パターンニングを行う際の製造設備のエネルギー低減を行うことができるとともに、PFCガスフリーを達成することのできるパターン形成方法を提供する。

【解決手段】 半導体ウェハ10の表面12にフォトリジストを塗布しフォトリジスト膜16を形成した後、このフォトリジスト膜16にエッチングを施して溝18を形成する。そして溝18を埋めるよう無機導電膜20を形成した後、前記溝18だけに無機導電膜20が残るまで、エッチングを行い無機導電膜20を除去する。その後はフォトリジスト膜16を除去することで、前記半導体ウェハ10の表面12に無機導電膜20からなる配線14を形成することが可能になる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社